

(12)特許協力条約に基づいて公開された国際出願番号

101535542

(19)世界知的所有権機関
国際事務局(43)国際公開日
2004年6月3日 (03.06.2004)

PCT

(10)国際公開番号
WO 2004/047291 A1

(51)国際特許分類:

H03H 11/04

(21)国際出願番号:

PCT/JP2003/014561

(22)国際出願日:

2003年11月17日 (17.11.2003)

(25)国際出願の言語:

日本語

(26)国際公開の言語:

日本語

(30)優先権データ:

特願2002-335741

2002年11月19日 (19.11.2002) JP

(71)出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

(72)発明者; および

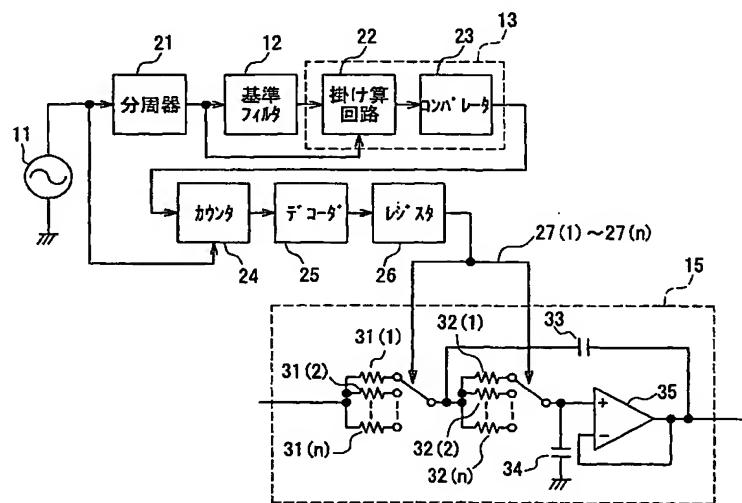
(75)発明者/出願人(米国についてのみ): 中村 真 (NAKAMURA,Makoto) [JP/JP]; 〒615-8256 京都府京都市西京区山田平尾町43-1-308 Kyoto (JP). 米田 阜司 (YONEDA,Takuji) [JP/JP]; 〒663-8187 兵庫県西宮市花園町6-3-514 Hyogo (JP). 栗本 秀彦 (KURIMOTO,Hidehiko) [JP/JP]; 〒569-0813 大阪府高槻市西五百住町10-5-301 Osaka (JP). 渡邊 刚章 (WATANABE,Takeaki) [JP/JP]; 〒618-0071 京都府乙訓郡大山崎町大山崎龍光53-1-206 Kyoto (JP).

(74)代理人: 特許業務法人池内・佐藤アンドパートナーズ (IKEUCHI SATO & PARTNER PATENT ATTORNEYS); 〒530-6026 大阪府大阪市北区天満橋1丁目8番30号OAPタワー26階 Osaka (JP).

[続葉有]

(54) Title: FILTER DEVICE

(54)発明の名称: フィルタ装置



21...FREQUENCY DIVIDER 24...COUNTER

12...REFERENCE FILTER 25...DECODER

22...MULTIPLIER CIRCUIT 26...REGISTER

23...COMPARATOR

(57) Abstract: A filter device enabling low current consumption and capable of correcting variation. A phase difference detector detects the phase difference of a reference filter. A control signal for correcting variation, i.e., the detection result, is held in a register. A cutoff frequency of a main filter is selected according to the held control signal. Hence, after variation is detected once, neither reference filter nor phase difference detector for variation detection are needed and their operations are stopped. As a result, low current consumption is realized.

(57) 要約: 低消費電流化が容易に達成できるバラツキ補正の可能なフィルタ装置を提供する。位相差検出器により基準フィルタの位相差を検出し、その検出結果であるバラツキ補正のための制御信号をレジスタに保持し、保持されている制御信号に応じて主フィルタのカットオフ周波数を選択する。これにより、一度バラツキの検

[続葉有]

WO 2004/047291 A1



(81) 指定国(国内): CN, KR, US.

(84) 指定国(広域): ヨーロッパ特許(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

明細書

フィルタ装置

技術分野

本発明は、特に携帯電話器の受信 I Q 復調回路に用いられ、半導体装置に内蔵されるバラツキ補正の可能なフィルタ装置に関する。

背景技術

近年、携帯電話器においては小型化への要求が大きく、フィルタ装置は半導体装置に内蔵化されるようになっている一方で、通話待ち受け時間尽可能限り長時間維持するために、特に受信回路を構成する各部において徹底的な低消費電流化が望まれている。

以下、従来の技術を説明する前に、半導体装置に内蔵されるフィルタ装置のバラツキ補正の方法について説明する。

なお、ここで言及するバラツキとは、フィルタ装置を構成する抵抗とコンデンサのそれぞれに発生する半導体装置特有の絶対値バラツキの積、いわゆる C R 積のバラツキを指す。

図 3 は、フィルタ装置に用いるフィルタ回路の基本構成の一例を示す回路図である。図 3において、1 は信号入力端子、2 は信号出力端子、3 は抵抗値が R である第 1 の抵抗、4 は第 2 の抵抗で抵抗値は第 1 の抵抗 3 と同じく R であり、5 は容量値が C 1 である第 1 のコンデンサ、6 は容量値が C 2 である第 2 のコンデンサ、7 はアクティブフィルタを構成するための O P アンプである。

以上のように構成されたフィルタ回路について、以下にバラツキ補正の方法を説明する。

図3に示すフィルタの基本構成例において、信号入力端子1と信号出力端子2との間の伝達函数による、このフィルタのカットオフ周波数 f_c は以下の式(1)で表される。

$$\begin{aligned} f_c &= 1 / (2\pi \times (R \times C_1)^{1/2} \times (R \times C_2)^{1/2}) \\ 5 &= 1 / (2\pi \times R \times (C_1 \times C_2)^{1/2}) \quad \dots (1) \end{aligned}$$

フィルタを構成する抵抗やコンデンサの値がバラついた場合、そのCR積のバラツキをvとして、その時のカットオフ周波数を f_{cv} とするとき、カットオフ周波数 f_{cv} は以下の式(2)で表される。

$$\begin{aligned} f_{cv} &= 1 / (2\pi \times (v \times R \times C_1)^{1/2} \times (v \times R \times C_2)^{1/2}) \\ 10 &= 1 / (2\pi \times v \times R \times (C_1 \times C_2)^{1/2}) \quad \dots (2) \end{aligned}$$

CR積が、例えば-30%から+30%($v = 0.7 \sim 1.3$)の間でバラついている場合、カットオフ周波数 f_{cv} は+43%から-23%の間でバラついていることになる。

ここで、第1の抵抗3および第2の抵抗4の抵抗値Rを何らかの手段15でバラツキの値の逆数倍($1/v$ 倍)に変化させることができるとする。

例えば、バラツキが+30%($v = 1.3$)である場合、抵抗値Rを $1/1.3 = 0.769$ 倍する。そうすると、見かけ上の抵抗値と容量値の積は式(1)を満たすようになるので、カットオフ周波数は f_c になり、所望の値を得ることが可能になる。

20 以上のようにして半導体装置に内蔵されたフィルタ装置のバラツキ補正を行うことが可能である。

次に、従来のバラツキ補正の可能なフィルタ装置について説明する。

図4は、従来のフィルタ装置の構成例を示す回路ブロック図である。

図4において、11は基準信号発生源、12は基準フィルタである。125 13は位相差検出器であり、ここでは掛け算回路で構成される。14は制御電圧発生器、15は本来の信号処理を行う主フィルタである。これら

の構成のうち、基準フィルタ 1 2 と主フィルタ 1 5 は上記で説明したフィルタ回路で構成し、制御電圧発生器 1 4 から出力される制御電圧によって、図 2 に示す第 1 の抵抗 3 および第 2 の抵抗 4 の抵抗値 R を変化させることができある。抵抗値を変化させる手段としては、例えば抵抗 5 をMOSトランジスタで構成して、そのコンダクタンスを変化させる方法がある。

次に、以上のように構成されたフィルタ装置の動作について説明する。

基準信号発生源 1 1 が発生する基準信号 $v_s(t)$ の周波数を f_s とすると、基準信号 $v_s(t)$ は以下の式 (3) で表すことができる。

$$10 \quad v_s(t) = A \times \cos(2\pi \times f_s \times t) \quad \dots (3)$$

上記式 (3) で、A は $v_s(t)$ の振幅、t は時間を表す。

この基準信号 $v_s(t)$ を基準フィルタ 1 2 に入力して得られる出力信号 $v_{LPF}(t)$ は以下の式 (4) で表される。

$$v_{LPF}(t) = B \times \cos(2\pi \times f_s \times t + \theta) \quad \dots (4)$$

15 上記式 (4) で、B は $v_{LPF}(t)$ の振幅、θ は基準フィルタ 1 2 によって生じる位相差である。

バラツキがない場合の、基準フィルタ 1 2 のカットオフ周波数が基準信号 $v_s(t)$ の周波数 f_s となるように、第 1 の抵抗 3 および第 2 の抵抗 4 の抵抗値 R と、第 1 のコンデンサ 5 の容量値 C 1 および第 2 のコンデンサ 6 の容量値 C 2 を設定している場合、位相差 θ は -90 度であり、バラツキが +30 % ある場合の位相差 θ は -110.6 度である。

基準信号 $v_s(t)$ と基準フィルタ 1 2 の出力信号 $v_{LPF}(t)$ を位相差検出器 1 3 に入力すると、これらの入力信号を掛け算して得られる出力信号 $v_{PD}(t)$ は以下のようになる。

$$25 \quad v_{PD}(t) = v_s(t) \times v_{LPF}(t) \\ = A \times B \times (\cos \theta + \cos(4\pi \times f_s \times t + \theta))$$

/ 2

… (5)

この出力信号 $v_{PD}(t)$ のうち $\cos \theta$ の成分は、位相差 θ に対応する直流成分であり、時間 t に依存していない。この出力信号 $v_{PD}(t)$ 5 を制御電圧発生器 14 に入力し、この制御電圧発生器 14 からは、 $\cos \theta$ に応じて基準フィルタ 12 のバラツキを打ち消すことのできるような抵抗値となるように制御電圧が output する。このような制御電圧を基準フィルタ 12 に印加することによってフィードバックループが成立するのでバラツキは補正され、常に基準フィルタ 12 のカットオフ周波数を 10 基準信号 $v_s(t)$ の周波数 f_s に一致させておくことが可能になる。

制御電圧発生器 14 が発生する制御電圧を、主フィルタ 15 の抵抗値をも変化させるように接続することにより、主フィルタ 15 についてもバラツキを補正することが可能になる。

上記の構成をとることにより、半導体装置の製法上避けることのでき 15 ないバラツキを回避したフィルタ装置を、半導体装置に内蔵することを可能にしている（例えば、特開 2002-76842 号公報の第 4-7 頁、第 1 図参照）。

しかしながら、上記従来の構成では、フィードバックループを常時成立させてバラツキの補正を行う必要があるために、基準フィルタや位相 20 差検出器および制御電圧発生器という、本来の信号処理系には無関係な構成要素を常に動作させておく必要がある。そのため、フィルタ装置の低消費電流化を実現することが困難であるという問題があった。

発明の開示

25 本発明は、上記従来の問題点を解決するもので、その目的は、低消費電流化が容易に達成できるバラツキ補正の可能なフィルタ装置を提供す

ることにある。

前記の目的を達成するため、本発明に係るフィルタ装置は、従来と同様に主フィルタとともに基準フィルタおよび位相差検出回路を備えるとともに、バラツキによって基準フィルタで発生する位相差に対応した制御信号を保持しておくレジスタを備えている。
5

この構成をとることによって、基準フィルタや位相差検出回路をバラツキの補正を行うために常時動作させる必要がなくなるため、フィルタ装置における低消費電流化を容易に実現することが可能になる。

10 図面の簡単な説明

図1は、本発明の一実施形態に係るフィルタ装置の一構成例を示す回路ブロック図である。

図2は、図1の位相差検出器の出力信号 $v_{PD}(t)$ と基準信号 $v_{ref}(t)$ とのタイミング関係を示す図である。

15 図3は、従来のバラツキ補正の可能なフィルタ装置に用いる2次のフィルタ回路の基本構成を示す回路図である。

図4は、従来のバラツキ補正の可能なフィルタ装置の構成例を示す回路ブロック図である。

20 発明を実施するための最良の形態

以下、本発明の好適な実施形態について、図面を参照しながら説明する。

図1は、本発明の一実施形態に係るフィルタ装置の一構成例を示す回路ブロック図である。

25 図1において、11は基準信号発生源、21は分周器である。12は基準フィルタで、図3に示すような2次フィルタとして構成される。1

3 は位相差検出器であり、この位相差検出器 1 3 は、掛け算回路 2 2 とコンパレータ 2 3 とで構成される。2 4 はカウンタ、2 5 は制御信号を発生するデコーダ、2 6 はレジスタ、2 7 (1)、2 7 (2)、…、2 7 (n) は制御信号線である。1 5 は主フィルタであり、主フィルタ 1 5 5 は、それぞれ抵抗値 R (1)、R (2)、…、R (n) を有する n 個の第 1 の抵抗 3 1 (1)、3 1 (2)、…、3 1 (n) と、それぞれの抵抗値が第 1 の抵抗 3 1 (1)、3 1 (2)、…、3 1 (n) の抵抗値と同じである n 個の第 2 の抵抗 3 2 (1)、3 2 (2)、…、3 2 (n) と、容量値 C 1 を有する第 1 のコンデンサ 3 3 と、容量値 C 2 を有する第 2 のコ 10 ナンデンサ 3 4 と、アクティプフィルタを構成するための O P アンプ 3 5 とで構成される。

第 1 の抵抗 3 1 (1)、3 1 (2)、…、3 1 (n) のいずれかおよび第 2 の抵抗 3 2 (1)、3 2 (2)、…、3 2 (n) のいずれかは、対応する制御信号線 2 7 の制御信号が活性化することで選択される。なお、15 以下では、n 個の第 1 の抵抗 3 1 (1)、3 1 (2)、…、3 1 (n) をまとめて第 1 の抵抗 3 1 と、また n 個の第 2 の抵抗 3 2 (1)、3 2 (2)、…、3 2 (n) をまとめて第 2 の抵抗 3 2 とも称する。

次に、以上のように構成された本実施形態のフィルタ装置の動作について説明する。

20 基準信号発生源 1 1 が発生する基準信号 $v_{ref}(t)$ を、分周比 $d_i v$ の分周器 2 1 に入力して、その出力から分周信号 $v_s(t)$ を得る。この分周信号 $v_s(t)$ を基準フィルタ 1 2 に入力すると、基準フィルタ 1 2 の出力信号 $v_{LPF}(t)$ には、この基準フィルタ 1 2 によって分周信号 $v_s(t)$ に対して位相差 θ が生じる。

25 従来例と同様に、バラツキがない場合の、基準フィルタ 1 2 のカットオフ周波数が基準信号 $v_s(t)$ の周波数 f_s となるように、第 1 の抵

抗31および第2の抵抗32のそれぞれの抵抗値Rと、第1のコンデンサ33の容量値C1および第2のコンデンサ34の容量値C2とを設定している場合、位相差θは-90度であり、バラツキが+30%ある場合の位相差θは-110.6度となる。

5 基準フィルタ12の出力信号vLPF(t)は、位相差検出器13に入力され、掛け算回路22において分周信号vs(t)と掛け合わせることで信号vPD(t)を得ることは、入力信号の一方が基準信号かまたは分周信号という違いはあるが、従来例と同様である。

掛け算回路22の出力信号vPD(t)は、コンパレータ23に入力
10 され、所定の基準レベルと比較されて、位相差検出器13の出力信号として矩形波信号VPD(t)が得られる。この矩形波信号VPD(t)は、分周信号vs(t)の2倍の周波数を有し、基準フィルタ12によって生じる位相差θに応じてそのデューティ比Dが変動する。ここで、
15 デューティ比Dとは、矩形波信号VPD(t)のハイレベル時間区間の、
矩形波信号VPD(t)の周期に対する比率である。このデューティ比Dは、位相差θを用いて以下の式(6)で表すことができる。

$$D = (180 - \theta) / 180 \quad \dots (6)$$

例えば、基準フィルタ12にバラツキが+30%ある場合のデューティ比Dは0.39であり、バラツキがない場合のデューティ比Dは0.5である。
20

位相差検出器13から出力される矩形波信号VPD(t)は、カウンタ24に入力されて、基準信号vref(t)をクロックとしてカウントされる。図2は、分周器21の分周比divを32とした場合のカウンタ24に入力される矩形波信号VPD(t)と基準信号vref(t)
25 とのタイミング関係を示す図である。図2において、S1は基準信号vref(t)を、S2はCR積のバラツキがない場合の矩形波信号VP

D (t) を、また S 3 は C R 積のバラツキが + 3 0 % である場合の矩形波信号 V P D (t) を示す。

カウンタ 2 4 は、矩形波信号 V P D (t) のハイレベル区間において基準信号 v r e f (t) の個数をカウントする。図 2 の場合のカウント数 P c n t は、バラツキのない場合は 8 、バラツキが 3 0 % の場合は 6 . 1 7 で、端数を切り捨てて 6 となる。デューティ比 D とカウント数 P c n t との関係は、分周比 d i v を用いて以下の式 (7) で表すことができる。

$$P_{c n t} = d i v \times D / 2 \quad \dots (7)$$

したがって、基準フィルタ 1 2 によって発生する位相差 θ とカウント数 P c n t との関係は、上記の式 (6) と式 (7) から以下の式 (8) のようになる。

$$P_{c n t} = d i v \times (180 - \theta) / 360 \quad \dots (8)$$

ただし、式 (7) 、式 (8) ともに小数点以下を切り捨てる。式 (8) で表されるカウント数 P c n t はバラツキが - 3 0 % から + 3 0 % の場合、分周器 2 1 の分周比 d i v を 3 2 とすると、C R 積のバラツキ量に応じて 6 から 1 0 までの 5 つの値となる。このカウント数 P c n t は、デコーダ 2 5 に入力され、これらのカウント数 P c n t に対応した制御信号が出力されて、レジスタ 2 6 に保持される。

レジスタ 2 6 によって保持されている制御信号は、この場合、バラツキ量に応じて 5 つの制御信号線 2 7 (1) 、 2 7 (2) 、 … 、 2 7 (5) のいずれかを活性化することで、第 1 の抵抗 3 1 (1) 、 3 1 (2) 、 … 、 3 1 (5) のいずれかおよび第 2 の抵抗 3 2 (1) 、 3 2 (2) 、 … 、 3 2 (5) のいずれかを選択する。

主フィルタ 1 5 は、これら選択された第 1 の抵抗 3 1 および第 2 の抵抗 3 2 と、第 1 のコンデンサ 3 3 および第 2 のコンデンサ 3 4 とから決

定されるカットオフ周波数を持つことがきるようになる。

例えば、バラツキが+30%のときのカウンタ24によるカウント数Pcntは6であり、そのとき制御信号線27(1)によって抵抗値R(1)の第1の抵抗31(1)と第2の抵抗32(1)が選択されるとする。この抵抗値R(1)を、CR積のバラツキがない場合にフィルタのカットオフ周波数が所望の値となる抵抗値Rの0.816倍に補正しておくと、見かけ上のバラツキ量は+6.1%となる。このとき、カットオフ周波数は所望値に対して-5.7%となり、補正をしない場合の所望のカットオフ周波数からのバラツキ量-23%に対して大幅に改善することが可能になる。

表1に、CR積のバラツキ量に対する基準フィルタ12の位相差θ、カウンタ24のカウント数Pcntと抵抗の補正值の例、および補正後における見かけ上のCR積のバラツキ量の例を示す。ただし、この表1においては、抵抗値と容量値との積のバラツキのみを考慮しており、その他のバラツキ量や誤差、例えばフィルタを構成する素子の温度特性、位相差検出器13の検出精度のバラツキやカウンタ24のカウントの精度などは考慮していない。

表1

CR積のバラツキ(%)	位相差θ(度)		カウント数 Pcnt	抵抗の 補正值	補正による見かけ上 のCR積のバラツキ (%)					
	30	15.1			-110.6	-101.3	6	0.816	6.1	-6.1
15	0.1	-101.2	-90.1	7	0.930	6.9	-6.9			
0	-13	-90.0	-78.8	8	1.070	7.0	-7.0			
-13.1	-25	-78.7	-67.6	9	1.235	7.4	-7.4			
-25	-30	-67.5	-62.7	10	1.380	3.4	-3.4			

以上のように、本実施形態によれば、基準フィルタの位相差を検出した結果得ることのできるバラツキ補正のための制御信号をレジスタに保持することで、一度バラツキの検出を行った後はバラツキ検出のための基準フィルタや位相差検出器は不要となり、その動作を停止させること
5 が可能になる。

なお、本実施形態では、基準フィルタおよび主フィルタの回路形式を、基本的に図3に示す2次フィルタとして説明および例示したが、本発明はこれに限定されることなく、基準フィルタを2次フィルタとして、主フィルタを任意の次数のフィルタとして構成し、半導体装置に内蔵された抵抗とコンデンサを用いるものであれば、どのような回路形式のフィルタでも良い。
10

また、本実施形態では、抵抗値を補正する場合について説明および例示したが、本発明はこれに限定されることなく、コンデンサの容量値や、抵抗値と容量値の積としてそれぞれの値を補正することも可能である。

15 さらに、位相差検出器についても、基準フィルタによって生じる位相差に応じたデューティ比を有する矩形波信号を出力するものであれば、どのような回路形式のものを用いても良い。

以上説明したように、本発明によれば、主フィルタのカットオフ周波数を選択するための制御信号の値をレジスタに保持することで、基準フィルタおよび位相差検出器の動作を停止することができるので、低消費電流化を容易に図ることができる、バラツキ補正の可能な優れたフィルタ装置を提供することが可能になる、という格別な効果を奏する。
20

請求の範囲

1. 基準信号を発生する基準信号発生源と、
前記基準信号を分周して分周信号を出力する分周器と、
前記分周信号を入力信号とする基準フィルタと、
5 前記基準フィルタの出力信号と前記分周器からの分周信号とを入力信号として、前記基準フィルタによる位相差に対応したデューティ比を有する信号を出力する位相差検出器と、
前記位相差検出器の出力信号と前記基準信号とを入力信号として、前記基準フィルタによる位相差に対応したデューティ比をカウントするカウンタと、
10 前記カウンタの出力信号からバラツキ補正のための制御信号をデコードするデコーダと、
前記デコーダから出力された制御信号を保持かつ出力するレジスタと、
前記レジスタから出力された制御信号に応じてカットオフ周波数を選択する信号処理を行う主フィルタとを備えたことを特徴とするフィルタ装置。
15

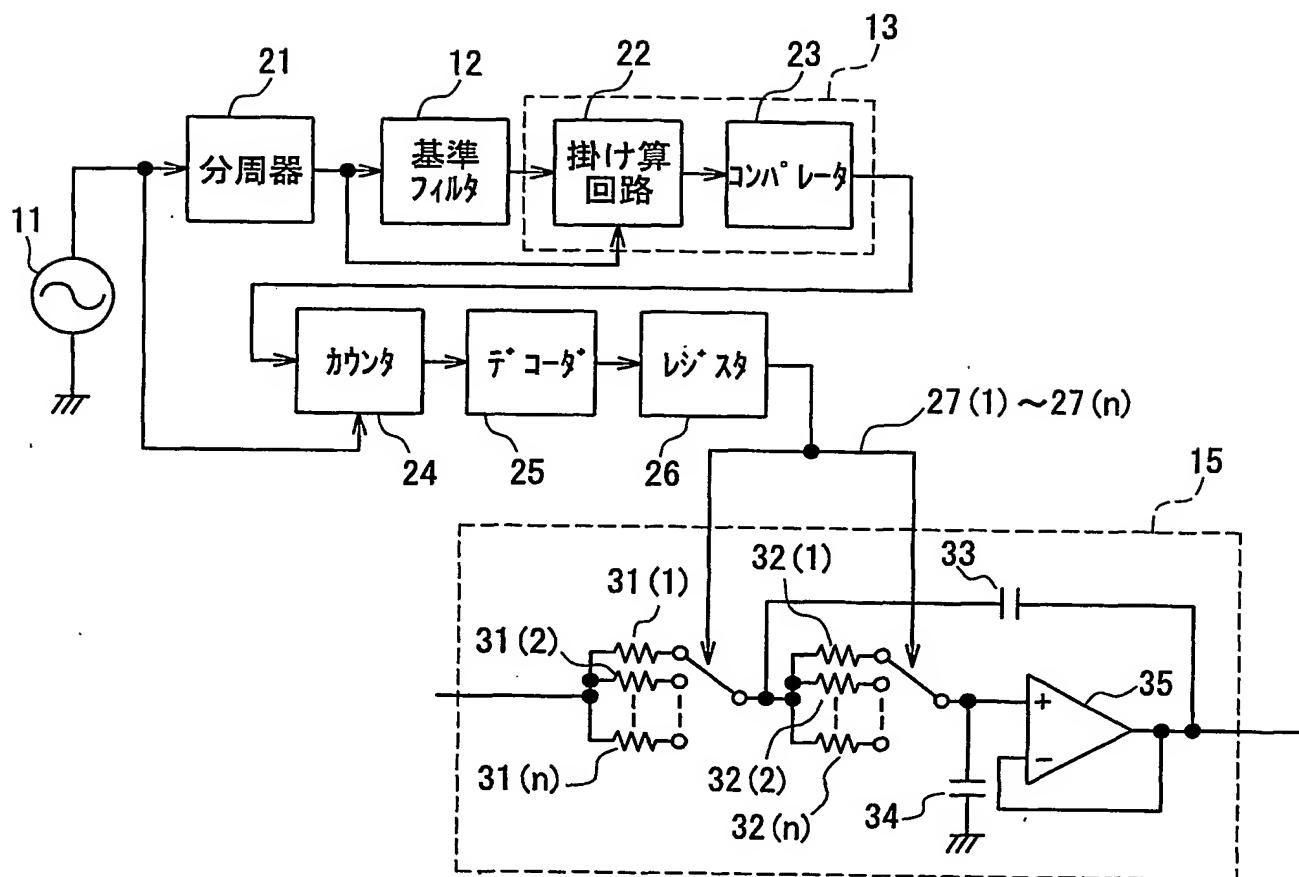


FIG. 1

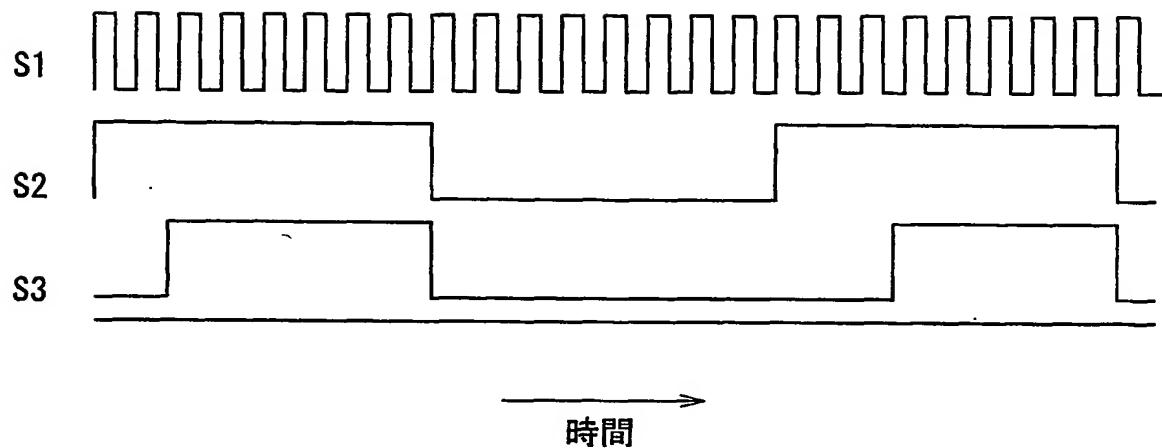


FIG. 2

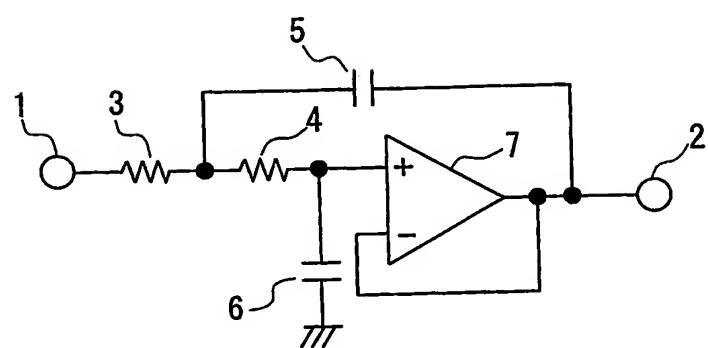


FIG. 3

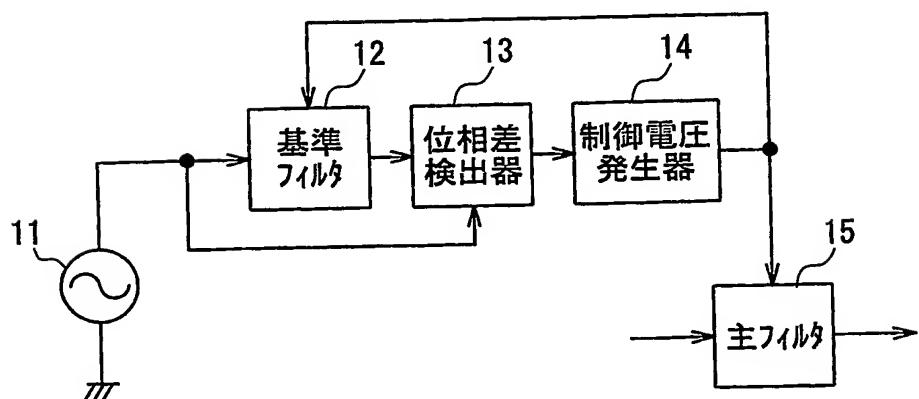


FIG. 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14561

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03H11/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03H11/04, H03H11/12Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-191231 A (Sony Corp.), 23 July, 1996 (23.07.96), Par. Nos. [0044] to [0072]; Figs. 1 to 4 & GB 2296835 A & TW 281829 A & US 5942935 A	1
Y	JP 8-204504 A (Asahi Kasei Microsystems Co., Ltd.), 09 August, 1996 (09.08.96), Par. Nos. [0024] to [0047]; Figs. 1 to 7 (Family: none)	1
Y	JP 2001-203574 A (NEC IC Miconsystem Kabushiki Kaisha), 27 July, 2001 (27.07.01), Par. Nos. [0021] to [0062]; Figs. 1 to 5 (Family: none)	1

 Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
19 March, 2004 (19.03.04)Date of mailing of the international search report
06 April, 2004 (06.04.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14561

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-65812 A (Toshiba Corp.), 20 March, 1991 (20.03.91), Full text; Figs. 1, 2 (Family: none)	1
A	JP 7-86873 A (Toshiba Corp.), 31 March, 1995 (31.03.95), Full text; all drawings & EP 0626795 A2	1
A	JP 5-347537 A (NEC Corp.), 27 December, 1993 (27.12.93), Full text; all drawings & US 5416438 A	1
A	JP 11-177379 A (NEC Corp.), 02 July, 1999 (02.07.99), Full text; all drawings & US 6366161 A	1
A	JP 2002-94357 A (Matsushita Electric Industrial Co., Ltd.), 29 March, 2002 (29.03.02), Full text; all drawings & EP 1172933 A2 & CN 1333597 A & US 2002/0011896 A1	1
A	JP 10-303699 A (Asahi Kasei Microsystems Co., Ltd.), 13 November, 1998 (13.11.98), Full text; all drawings (Family: none)	1

A. 発明の属する分野の分類(国際特許分類(IPC))
Int. C1' H03H11/04

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))
Int. C1' H03H11/04 H03H11/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 8-191231 A (ソニー株式会社) 1996. 07. 23 [0044] - [0072], 図1-図4 & GB 2296835 A & TW 281829 A & US 5942935 A	1
Y	JP 8-204504 A (旭化成マイクロシステム株式会社) 1996. 08. 09 [0024] - [0047], 図1-図7 (ファミリーなし)	1

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

19. 03. 2004

国際調査報告の発送日

06. 4. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

高木 進

5W 8626

電話番号 03-3581-1101 内線 3574

C(続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 2001-203574 A (日本電気アイシーマイコンシステム株式会社) 2001. 07. 27 [0021] - [0062], 図1-図5 (ファミリーなし)	1
Y	JP 3-65812 A (株式会社東芝) 1991. 03. 20 全文, 図1, 図2 (ファミリーなし)	1
A	JP 7-86873 A (株式会社東芝) 1995. 03. 31 全文, 全図 & EP 0626795 A2	1
A	JP 5-347537 A (日本電気株式会社) 1993. 12. 27 全文, 全図 & US 5416438 A	1
A	JP 11-177379 A (日本電気株式会社) 1999. 07. 02 全文, 全図 & US 6366161 A	1
A	JP 2002-94357 A (松下電器産業株式会社) 2002. 03. 29 全文, 全図 & EP 1172933 A2 & CN 1333597 A & US 2002/0011896 A1	1
A	JP 10-303699 A (旭化成マイクロシステム株式会社) 1998. 11. 13 全文, 全図 (ファミリーなし)	1